

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Tetsuichiro KASAHARA, et al.**

Group Art Unit: **Not Yet Assigned**

Serial No.: **Not Yet Assigned**

Examiner: **Not Yet Assigned**

Filed: **September 15, 2003**

For: **LEAD FRAME, METHOD OF MANUFACTURING THE SAME, AND SEMICONDUCTOR DEVICE MANUFACTURED WITH THE SAME**

CLAIM FOR PRIORITY UNDER 35 U.S.C. 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: September 15, 2003

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Appln. No. 2002-269903, filed September 17, 2002

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN & HATTORI, LLP



William L. Brooks
Attorney for Applicants
Reg. No. 34,129

WLB/jaz
Atty. Docket No. **031122**
Suite 1000
1725 K Street, N.W.
Washington, D.C. 20006
(202) 659-2930



23850

PATENT TRADEMARK OFFICE

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 1 7 日
Date of Application:

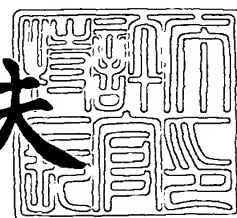
出 願 番 号 特 願 2 0 0 2 - 2 6 9 9 0 3
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 6 9 9 0 3]

出 願 人 新 光 電 気 工 業 株 式 会 社
Applicant(s):

2 0 0 3 年 7 月 2 4 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 5 8 8 8 1

【書類名】 特許願

【整理番号】 13-349

【提出日】 平成14年 9月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/48

【発明の名称】 リードフレーム、該リードフレームの製造方法、及び
半導体装置

【請求項の数】 11

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地
 新光電気工業株式会社内

 【氏名】 笠原 哲一郎

【発明者】

 【住所又は居所】 長野県長野市大字栗田字舎利田 7 1 1 番地
 新光電気工業株式会社内

 【氏名】 阿部 安芸信

【特許出願人】

 【識別番号】 000190688

 【氏名又は名称】 新光電気工業株式会社

【代理人】

 【識別番号】 100091672

 【住所又は居所】 東京都中央区日本橋人形町 3 丁目 1 1 番 7 号
 山西ビル 4 階

 【弁理士】

 【氏名又は名称】 岡本 啓三

 【電話番号】 03-3663-2663

【手数料の表示】

 【予納台帳番号】 013701

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9816048

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 リードフレーム、該リードフレームの製造方法、及び半導体装置

【特許請求の範囲】

【請求項 1】 搭載する各半導体素子に対応してそれぞれ画定されたダイパッド部と、

各ダイパッド部に対応してそれぞれ最終的に半導体装置として分割される領域内で当該ダイパッド部の周囲に沿って配列された複数のワイヤ接続部と、

各ワイヤ接続部の外側の領域に配置された複数のランド状の外部端子部と、

前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とを有し、

前記各ダイパッド部、前記各ワイヤ接続部及び前記各外部端子部が、接着テープによって支持されていることを特徴とするリードフレーム。

【請求項 2】 搭載する各半導体素子に対応してそれぞれ最終的に半導体装置として分割される領域内で当該領域の外周に沿って配列された複数のワイヤ接続部と、

各ワイヤ接続部の内側の領域に配置された複数のランド状の外部端子部と、

前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とを有し、

前記各ワイヤ接続部及び前記各外部端子部が、接着テープによって支持されていることを特徴とするリードフレーム。

【請求項 3】 前記接続リード部が、前記ワイヤ接続部及び前記外部端子部の厚さよりも薄く形成され、該ワイヤ接続部が、該外部端子部の厚さと同じ厚さに形成されていることを特徴とする請求項 1 又は 2 に記載のリードフレーム。

【請求項 4】 金属板をエッチング加工して、搭載する各半導体素子に対応してそれぞれダイパッド部とフレーム部の間の領域において、当該ダイパッド部の周囲に沿って位置し、かつ当該ダイパッド部に連結される複数のワイヤ接続部と、各ワイヤ接続部の外側に位置し、かつ相互に連結される複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結

する線状の接続リード部とが配列された基板フレームを形成する工程と、

前記基板フレームの一方の面の、前記ダイパッド部と前記ワイヤ接続部と前記外部端子部と前記フレーム部とを除いた部分に、ハーフエッチングにより凹部を形成する工程と、

前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、

前記基板フレームの前記凹部が形成されている部分のうち、前記ダイパッド部と前記各ワイヤ接続部を連結している部分、及び前記各外部端子部間を相互に連結している部分を切断する工程とを含むことを特徴とするリードフレームの製造方法。

【請求項 5】 前記基板フレームを形成する工程と前記凹部を形成する工程に代えて、

金属板の両面にそれぞれ所定の形状にパターンニングされたレジストを用いて該金属板の両面からの同時エッチングにより、搭載する各半導体素子に対応してそれぞれダイパッド部とフレーム部の間の領域において、当該ダイパッド部の周囲に沿って位置し、かつ当該ダイパッド部に連結される複数のワイヤ接続部と、各ワイヤ接続部の外側に位置し、かつ相互に連結される複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とが配列された基板フレームを形成すると共に、該基板フレームの一方の面の、前記ダイパッド部と前記ワイヤ接続部と前記外部端子部と前記フレーム部とを除いた部分に凹部を形成する工程を含むことを特徴とする請求項 4 に記載のリードフレームの製造方法。

【請求項 6】 金属板をエッチング加工して、搭載する各半導体素子に対応してそれぞれフレーム部によって囲まれる領域において、当該領域の外周に沿って位置し、かつ当該フレーム部に連結される複数のワイヤ接続部と、各ワイヤ接続部の内側に位置し、かつ相互に連結される複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とが配列された基板フレームを形成する工程と、

前記基板フレームの一方の面の、前記外部端子部と前記ワイヤ接続部と前記フ

レーム部とを除いた部分に、ハーフエッチングにより凹部を形成する工程と、

前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、

前記基板フレームの前記凹部が形成されている部分のうち、前記各外部端子部間を相互に連結している部分を切断する工程とを含むことを特徴とするリードフレームの製造方法。

【請求項 7】 前記基板フレームを形成する工程と前記凹部を形成する工程に代えて、

金属板の両面にそれぞれ所定の形状にパターンニングされたレジストを用いて該金属板の両面からの同時エッチングにより、搭載する各半導体素子に対応してそれぞれフレーム部によって囲まれる領域において、当該領域の外周に沿って位置し、かつ当該フレーム部に連結される複数のワイヤ接続部と、各ワイヤ接続部の内側に位置し、かつ相互に連結される複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とが配列された基板フレームを形成すると共に、該基板フレームの一方の面の、前記外部端子部と前記ワイヤ接続部と前記フレーム部とを除いた部分に凹部を形成する工程を含むことを特徴とする請求項 6 に記載のリードフレームの製造方法。

【請求項 8】 前記凹部を形成した後、前記接着テープを貼り付ける前に、前記基板フレームの全面に金属膜を形成する工程を含むことを特徴とする請求項 4 から 7 のいずれか一項に記載のリードフレームの製造方法。

【請求項 9】 ダイパッド部と、

該ダイパッド部の周囲に沿って配列された複数のワイヤ接続部と、

各ワイヤ接続部の外側に配置された複数のランド状の外部端子部と、

前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部と、

前記ダイパッド部上に搭載された半導体素子とを有し、

該半導体素子の各電極端子が、それぞれボンディングワイヤにより前記各ワイヤ接続部の対応する 1 つの上面に接続され、

前記半導体素子、前記ボンディングワイヤ、前記ワイヤ接続部、前記外部端子部及び前記接続リード部が、封止樹脂により封止され、

前記外部端子部の下面が、前記ワイヤ接続部の下面と共に、前記封止樹脂の表面に露出していることを特徴とする半導体装置。

【請求項 10】 周辺部に沿って配列された複数のワイヤ接続部と、
各ワイヤ接続部の内側に配置された複数のランド状の外部端子部と、
前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部と、

前記複数の外部端子部のうち所要の数の外部端子部上に当該外部端子部との間に絶縁性を保って搭載された半導体素子とを有し、

該半導体素子の各電極端子が、それぞれボンディングワイヤにより前記各ワイヤ接続部の対応する 1 つの上面に接続され、

前記半導体素子、前記ボンディングワイヤ、前記ワイヤ接続部、前記外部端子部及び前記接続リード部が、封止樹脂により封止され、

前記外部端子部の下面が、前記ワイヤ接続部の下面と共に、前記封止樹脂の表面に露出していることを特徴とする半導体装置。

【請求項 11】 前記接続リード部が、前記ワイヤ接続部及び前記外部端子部の厚さよりも薄く形成され、該ワイヤ接続部が、該外部端子部の厚さと同じ厚さに形成されていることを特徴とする請求項 9 又は 10 に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体素子を搭載するパッケージ（半導体装置）の基板として用いられるリードフレームに関し、特に、QFN（Quad Flat Non-leaded package）等のリードレス・パッケージに使用され、多ピン化と共に、半導体素子と外部端子（ピン）を接続するワイヤの長さを短くするのに適応された形状を有するリードフレーム、該リードフレームの製造方法、及び半導体装置に関する。

【0002】

【従来の技術】

チップサイズパッケージ又はチップスケールパッケージ（CSP）と呼ばれる半導体素子（チップ）と同程度の大きさを有するパッケージとして、QFNやBGA（Ball Grid Array）など、外部端子がパッケージの裏面側に平面的に露出したタイプのパッケージがある。

【0003】

図1は従来の一形態に係るQFNのパッケージ構造を有する半導体装置の構成を模式的に示したもので、(a)は半導体装置10を断面的に見た構成、(b)は半導体装置10を裏面（実装面）側から見た構成を示している。この半導体装置10において、11はダイパッド部1上に搭載された半導体素子（チップ）、12は半導体素子11の各電極端子をそれぞれ対応する各リード部2（外部接続端子）に接続するボンディングワイヤ、13は半導体素子11、ボンディングワイヤ12等を保護するための封止樹脂を示す。

【0004】

各リード部2は、図示のように半導体装置10の実装面側に露出し、半導体装置10の周辺部に沿って配列されている。また、ダイパッド部1及びその周囲に配置される各リード部2は、金属板をエッチング加工等して得られるリードフレームの一部からなり、リードフレーム上に搭載する各半導体素子に対応してそれぞれ画定されている。つまり、図1に示すQFN（半導体装置10）は、その基板としてリードフレームを利用している。

【0005】

このように、従来のQFNはリードフレームを利用したパッケージ（半導体装置）であるため、絶縁層と導体層（配線層）を交互に積み重ねた多層配線基板等をパッケージの基板として用いるBGA等の基板タイプのパッケージ（半導体装置）と比較して、その製造にかかるコストが安いというメリットがある。

【0006】

【発明が解決しようとする課題】

しかしながら、従来のQFN（図1）はその構造上、外部接続端子（リード部2）を半導体素子11の搭載面（ダイパッド部1）の下方に配置することができず、外部接続端子の配置は、パッケージ（半導体装置10）の周辺部に限定され

ていた。

【0007】

このため、更に外部端子の個数（ピン数）を増やそうとすると、各リード部のリード幅及びその配設間隔を共に狭くするか、或いは、各リード部のサイズ等はそのままにしてパッケージのサイズを大きくする必要がある。

【0008】

しかし、各リード部のリード幅等を狭くする方法は、技術的な面（リードフレームのエッチング加工等）で困難を伴い、一方、パッケージのサイズを大きくする方法では、リードフレームを構成する素材（銅（Cu）もしくはCuをベースにした合金等の金属板）の材料コストが増大するといった不利がある。つまり、図1に示したような従来のQFNでは、多ピン化（多端子化）を図ろうとしても必ずしもその要求に満足に応えることができないといった課題があった。

【0009】

多ピン化を図るためには、例えば、ダイパッド部の周囲にリード部（外部接続端子）を複数列配置することが考えられる。その一例を図2に示す。

【0010】

図2は従来の他の形態に係るQFNのパッケージ構造を有する半導体装置の構成を模式的に示したもので、図1と同様に、（a）は半導体装置10aを断面的に見た構成、（b）は半導体装置10aを裏面（実装面）側から見た構成を示している。この半導体装置10aは、図1に示す半導体装置10と比べて、ダイパッド部1の周囲に各リード部2a、2bが2列構成で配置されている点、半導体素子11の各電極端子が内側のリード部2a及び外側のリード部2bにそれぞれボンディングワイヤ12a及び12bにより接続されている点で相違する。

【0011】

このパッケージ（半導体装置10a）の構成によれば、多ピン化を図ることは可能であるが、ピン数（リード部の個数）を増やした分だけパッケージのサイズを大きくする必要がある、それに応じて、半導体素子11の電極端子を外側のリード部2bに接続するボンディングワイヤ12bの長さが長くなってしまふ。パッケージのサイズが大きくなると、上述したようにリードフレームの素材の材料

コストが増大するといった不利がある。

【0012】

また、ワイヤ長が長くなると、パッケージのアセンブリ工程において半導体素子を樹脂封止（モールドイング）する際にその樹脂の押し流される力によって隣合うワイヤが接触して短絡をひき起こすおそれがあり、そのために製品としての信頼性が低下し、その結果、製造にかかる歩留りが低下する。加えて、ボンディングワイヤには比較的高価な金（Au）線などの材料が用いられるため、その材料コストが増大するといった不利もある。

【0013】

本発明は、かかる従来技術における課題に鑑み創作されたもので、多端子化を図ると共に、搭載する半導体素子と外部端子を接続するワイヤの長さを最小限にし、ひいては歩留りの向上及びコストの低減化に寄与することができるリードフレーム、該リードフレームの製造方法、及び半導体装置を提供することを目的とする。

【0014】

【課題を解決するための手段】

上述した従来技術の課題を解決するため、本発明の第1の形態によれば、搭載する各半導体素子に対応してそれぞれ画定されたダイパッド部と、各ダイパッド部に対応してそれぞれ最終的に半導体装置として分割される領域内で当該ダイパッド部の周囲に沿って配列された複数のワイヤ接続部と、各ワイヤ接続部の外側の領域に配置された複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とを有し、前記各ダイパッド部、前記各ワイヤ接続部及び前記各外部端子部が、接着テープによって支持されていることを特徴とするリードフレームが提供される。

【0015】

この形態に係るリードフレームの構成によれば、搭載する各半導体素子に対応してそれぞれ画定されたダイパッド部の周囲に沿って配列された各ワイヤ接続部の外側の領域に、それぞれ外部接続端子として用いる複数のランド状の外部端子部が配置されているので、従来のようにパッケージの周辺部に沿って外部接続端

子（リード部）が一行に配置されている形態（図1）のものと比べて、相対的に端子数を増やすことができる（多端子化の実現）。

【0016】

また、従来のQFNの基板として用いられるリードフレームでは、外部接続端子を構成するリード部の真上（上面）にボンディングワイヤを接続する構造となっていたが（図1、図2）、本発明に係るリードフレームでは、ボンディングワイヤを接続する部分（ワイヤ接続部）と外部接続端子として用いる部分（外部端子部）を分離して配置し、両者間を線状の接続リード部により一体的に連結するようにしている。この場合、ワイヤ接続部は、ダイパッド部の周囲に沿って（すなわち、搭載する半導体素子の電極端子から近い位置に）配列されている。

【0017】

これによって、半導体素子と外部端子（すなわち、外部端子部に連結されたワイヤ接続部）との間のワイヤ長を最小限にすることができ、従来技術に見られたようなワイヤ間の短絡、信頼性の低下といった不都合を解消することができ、歩留りの向上と共にコストの低減化を図ることが可能となる。

【0018】

また、本発明の第2の形態によれば、搭載する各半導体素子に対応してそれぞれ最終的に半導体装置として分割される領域内で当該領域の外周に沿って配列された複数のワイヤ接続部と、各ワイヤ接続部の内側の領域に配置された複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とを有し、前記各ワイヤ接続部及び前記各外部端子部が、接着テープによって支持されていることを特徴とするリードフレームが提供される。

【0019】

この形態に係るリードフレームの構成によれば、搭載する各半導体素子に対応してそれぞれ最終的に半導体装置として分割される領域の外周に沿って配列された各ワイヤ接続部の内側の領域に、それぞれ外部接続端子として用いる複数のランド状の外部端子部が配置されているので、従来のように外部接続端子を半導体素子の搭載面の下方に配置することができない形態（図1、図2）のものと比べ

て、相対的に端子数を増やすことができる（多端子化の実現）。

【0020】

また、上述した第1の形態に係るリードフレームの構成と同様に、ワイヤ接続部と外部端子部を分離して配置し、両者間を線状の接続リード部により一体的に連結するようにしており、この場合、ワイヤ接続部は、搭載する半導体素子に対応して最終的に半導体装置として分割される領域の外周に沿って（すなわち、搭載する半導体素子の電極端子から近い位置に）配列されている。これによって、上記と同様に半導体素子と外部端子を接続するワイヤの長さを最小限にすることができ、歩留りの向上及びコストの低減化を図ることが可能となる。

【0021】

また、本発明の他の形態によれば、上述した第1、第2の形態に係るリードフレームを製造する方法が提供される。第1の形態に係るリードフレームの製造方法は、金属板をエッチング加工して、搭載する各半導体素子に対応してそれぞれダイパッド部とフレーム部の間の領域において、当該ダイパッド部の周囲に沿って位置し、かつ当該ダイパッド部に連結される複数のワイヤ接続部と、各ワイヤ接続部の外側に位置し、かつ相互に連結される複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とが配列された基板フレームを形成する工程と、前記基板フレームの一方の面の、前記ダイパッド部と前記ワイヤ接続部と前記外部端子部と前記フレーム部とを除いた部分に、ハーフエッチングにより凹部を形成する工程と、前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、前記基板フレームの前記凹部が形成されている部分のうち、前記ダイパッド部と前記各ワイヤ接続部を連結している部分、及び前記各外部端子部間を相互に連結している部分を切断する工程とを含むことを特徴とする。

【0022】

一方、第2の形態に係るリードフレームの製造方法は、金属板をエッチング加工して、搭載する各半導体素子に対応してそれぞれフレーム部によって囲まれる領域において、当該領域の外周に沿って位置し、かつ当該フレーム部に連結される複数のワイヤ接続部と、各ワイヤ接続部の内側に位置し、かつ相互に連結され

る複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部とが配列された基板フレームを形成する工程と、前記基板フレームの一方の面の、前記外部端子部と前記ワイヤ接続部と前記フレーム部とを除いた部分に、ハーフエッチングにより凹部を形成する工程と、前記基板フレームの前記凹部が形成されている側の面に接着テープを貼り付ける工程と、前記基板フレームの前記凹部が形成されている部分のうち、前記各外部端子部間を相互に連結している部分を切断する工程とを含むことを特徴とする。

【0023】

また、本発明の更に他の形態によれば、上述した第1、第2の形態に係るリードフレームを用いて作製された半導体装置が提供される。第1の形態に係るリードフレームを用いた半導体装置は、ダイパッド部と、該ダイパッド部の周囲に沿って配列された複数のワイヤ接続部と、各ワイヤ接続部の外側に配置された複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部と、前記ダイパッド部に搭載された半導体素子とを有し、該半導体素子の各電極端子が、それぞれボンディングワイヤにより前記各ワイヤ接続部の対応する1つの上面に接続され、前記半導体素子、前記ボンディングワイヤ、前記ワイヤ接続部、前記外部端子部及び前記接続リード部が、封止樹脂により封止され、前記外部端子部の下面が、前記ワイヤ接続部の下面と共に、前記封止樹脂の表面に露出していることを特徴とする。

【0024】

一方、第2の形態に係るリードフレームを用いた半導体装置は、周辺部に沿って配列された複数のワイヤ接続部と、各ワイヤ接続部の内側に配置された複数のランド状の外部端子部と、前記各ワイヤ接続部をそれぞれ対応する外部端子部に一体的に連結する線状の接続リード部と、前記複数の外部端子部のうち所要の数の外部端子部上に当該外部端子部との間に絶縁性を保って搭載された半導体素子とを有し、該半導体素子の各電極端子が、それぞれボンディングワイヤにより前記各ワイヤ接続部の対応する1つの上面に接続され、前記半導体素子、前記ボンディングワイヤ、前記ワイヤ接続部、前記外部端子部及び前記接続リード部が、

封止樹脂により封止され、前記外部端子部の下面が、前記ワイヤ接続部の下面と共に、前記封止樹脂の表面に露出していることを特徴とする。

【0025】

【発明の実施の形態】

図3は本発明の第1の実施形態に係るリードフレームの構成を模式的に示したもので、(a)はリードフレームの一部分を平面的に見た構成、(b)は(a)のA-A'線に沿って見たリードフレームの断面構造を示している。

【0026】

図3において、20はQFN等のリードレス・パッケージ（半導体装置）の基板として用いられるリードフレームの一部分を示し、基本的には金属板をエッチング加工して得られる基板フレーム21からなっている。この基板フレーム21において、22はフレーム部を示し、搭載する各半導体素子（チップ）に対応してそれぞれ対応するフレーム部22によって規定される開口部の中央部には、当該半導体素子（チップ）を搭載するための四角形のダイパッド部23が配置されている。このダイパッド部23は、対応するフレーム部22の四隅から延在する4本のサポートバーSBによって支持されている。また、24はダイパッド部23の周囲に沿って配列されたワイヤ接続部、25は各ワイヤ接続部24の外側の領域に配置されたランド状の外部端子部、26は各ワイヤ接続部24と各外部端子部25とをそれぞれ1対1に対応させて一体的に連結する線状の接続リード部を示す。ここに、外部端子部25の設置個数は、搭載する半導体素子（チップ）の大きさや当該素子に必要とされる外部接続端子の数などに応じて適宜選定されるものである。

【0027】

また、基板フレーム21の全面には金属膜27が形成され、基板フレーム21の半導体素子（チップ）を搭載する側と反対側の面（図3(b)の例では下側の面）には接着テープ28が貼り付けられている。この接着テープ28は、フレーム部22、ダイパッド部23、ワイヤ接続部24及び外部端子部25を支持すると共に、後述するリードフレーム20の製造工程においてダイパッド部23と各ワイヤ接続部24を連結している部分、及び各外部端子部25を相互に連結して

いる部分を切断したときにフレーム部 22 から分離される個々の外部端子部 25 が脱落しないように支持する機能を有している。また、この接着テープ 28 の貼り付け（テーピング）は、後の段階で行うパッケージのアセンブリ工程においてモールドイングの際に封止樹脂のフレーム裏面への漏れ出し（「モールドフラッシュ」ともいう。）を防止するための対策として行われる。

【0028】

また、29 は後述するようにハーフエッチングにより形成された凹部を示し、この凹部 29 を形成する位置は、ダイパッド部 23 とワイヤ接続部 24 と外部端子部 25 とフレーム部 22 とを除いた部分、すなわち、ダイパッド部 23 とワイヤ接続部 24 を連結している部分、フレーム部 22 と外部端子部 25 を連結している部分、各外部端子部 25 を相互に連結している部分、及び接続リード部 26 の部分に選定されている。

【0029】

また、図 3（a）において破線で示す CL は、各ダイパッド部 23 に対応してそれぞれ最終的に半導体装置として分割される領域を画定する分割線を示し、後述するように、この分割線 CL に沿ってリードフレーム 20 が各パッケージ（半導体装置）単位に分割される。

【0030】

本実施形態のリードフレーム 20 は、ボンディングワイヤを接続する部分（ワイヤ接続部 24）と外部接続端子として用いる部分（外部端子部 25）を分離して配置し、両者間を線状の接続リード部 26 を介して一体的に連結したことを特徴とする。ここに、接続リード部 26 は、ワイヤ接続部 24 及び外部端子部 25 の厚さよりも薄く形成されており、ワイヤ接続部 24 と外部端子部 25 は、共に同じ厚さに形成されている（図 3（b）参照）。

【0031】

次に、本実施形態に係るリードフレーム 20 を製造する方法について、その製造工程の一例を順に示す図 4 及び図 5 を参照しながら説明する。なお、図 5 において（a）～（d）は、図 4 における A-A' 線に沿って見たときの断面構造を示している。

【0032】

先ず最初の工程では（図4参照）、金属板をエッチング加工して基板フレーム21を形成する。

【0033】

形成されるべき基板フレーム21は、図4に概略的に示すように、搭載する半導体素子に対応して画定されたダイパッド部23とフレーム部22の間の領域において、ダイパッド部23の周囲に沿って位置し、かつダイパッド部23に連結される複数のワイヤ接続部24と、各ワイヤ接続部24の外側に位置し、かつ相互に連結される複数のランド状の外部端子部25と、各ワイヤ接続部24をそれぞれ対応する外部端子部25に一体的に連結する線状の接続リード部26とがそれぞれ配列され、さらにダイパッド部23をフレーム部22に連結するサポートバーSBが配列された構造を有している。

【0034】

使用する金属板の材料としては、例えば、銅（Cu）又はCuをベースにした合金、鉄-ニッケル（Fe-Ni）又はFe-Niをベースにした合金等が用いられる。金属板（基板フレーム21）の厚さとしては、200 μ m程度のものが選定される。

【0035】

次の工程では（図5（a）参照）、基板フレーム21の一方の面（図示の例では下側の面）の所定部分に、ハーフエッチングにより凹部29を形成する。

【0036】

この所定部分（凹部29を形成する部分）は、ダイパッド部23とワイヤ接続部24と外部端子部25とフレーム部22とを除いた部分に選定される。すなわち、凹部29は、ダイパッド部23とワイヤ接続部24を連結している部分、フレーム部22と外部端子部25を連結している部分、各外部端子部25を相互に連結している部分、及び接続リード部26の部分にそれぞれ形成される。

【0037】

ハーフエッチングは、基板フレーム21のその所定部分の領域を除いた部分をマスク（図示せず）で覆った後、例えばウェットエッチングにより行うことがで

きる。また、凹部 29 は $150\ \mu\text{m}$ 程度の深さに形成される。

【0038】

次の工程では（図 5（b）参照）、凹部 29 が形成された基板フレーム 21 の全面に、電解めっきにより金属膜 27 を形成する。

【0039】

例えば、基板フレーム 21 を給電層として、その表面に密着性向上のためのニッケル（Ni）めっきを施した後、この Ni 層上に導電性向上のためのパラジウム（Pd）めっきを施し、さらに Pd 層上に金（Au）フラッシュを施して金属膜（Ni/Pd/Au）27 を形成する。

【0040】

このように本実施形態ではリードフレーム 20 の製造工程の途中で金属膜 27 を形成しているが、金属膜 27 の形成はこの段階に限定されるものではない。例えば、後述するようにパッケージ（半導体装置）のアセンブリ工程において樹脂封止を行い、更にリードフレーム 20 の支持用の接着テープを剥離した後、封止樹脂から露出する金属部分（外部端子部、ワイヤ接続部等）に無電解めっきや印刷法等によりはんだ膜（金属膜）を形成してもよい。

【0041】

次の工程では（図 5（c）参照）、基板フレーム 21 の凹部 29 が形成されている側の面（図示の例では下側の面）に、エポキシ樹脂やポリイミド樹脂等からなる接着テープ 28 を貼り付ける（テーピング）。

【0042】

最後の工程では（図 5（d）参照）、基板フレーム 21 の凹部 29 が形成されている部分のうち、ダイパッド部 23 とワイヤ接続部 24 を連結している部分、及び各外部端子部 25 を相互に連結している部分を、例えば金型（ポンチ）やブレード等を用いて押し抜くようにして、切断する。これによって、本実施形態に係るリードフレーム 20（図 3）が作製されたことになる。

【0043】

上述した実施形態に係るリードフレーム 20 の製造方法（図 4、図 5）においては、基板フレーム 21 の形成（図 4）と凹部 29 の形成（図 5（a））を別々

の工程で行っているが、これらの形成を同じ工程で行うことも可能である。その場合の製造工程の一例（一部）を図6に示す。

【0044】

図6に例示する方法では、先ず、金属板MP（例えば、Cu又はCuをベースにした合金板）の両面にエッチングレジストを塗布し、それぞれ所定の形状にパターニングされたマスク（図示せず）を用いて当該レジストのパターニングを行い、レジストパターンRP1及びRP2を形成する（図6（a））。

【0045】

この場合、上側（半導体素子が搭載される側）のレジストパターンRP1については、金属板MPの、ダイパッド部23とワイヤ接続部24を連結している部分、及び各外部端子部25を相互に連結している部分にそれぞれ対応する領域が露出するように、当該レジストのパターニングを行う。一方、下側のレジストパターンRP2については、金属板MPの、凹部29となる部分に対応する領域が露出するように、当該レジストのパターニングを行う。

【0046】

このようにして金属板MPの両面をレジストパターンRP1及びRP2で覆った後、エッチング（例えばウェットエッチング）により、図4に示したようなパターン（ダイパッド部23、ワイヤ接続部24、外部端子部25、接続リード部26等）と凹部29を同時に形成する（図6（b））。

【0047】

さらに、エッチングレジスト（RP1、RP2）を剥離して、図5（a）に示したような構造の基板フレーム21を得る（図6（c））。この後の工程は、図5（b）以降に示した工程と同じである。

【0048】

図6に例示する方法によれば、基板フレーム21の形成と凹部29の形成を1つの工程で行っているので、上述した実施形態に係る製造方法（図4、図5）と比べて工程の簡略化を図ることができる。

【0049】

図7は上述した実施形態に係るリードフレーム20を用いて作製されたQFN

のパッケージ構造を有する半導体装置の構成を模式的に示したもので、(a)は半導体装置30を断面的に見た構成、(b)は半導体装置30を裏面(実装面)側から見た構成を示している。

【0050】

図示の半導体装置30において、31はダイパッド部23上に搭載された半導体素子(チップ)、32は半導体素子31の各電極端子をダイパッド部23の周囲に沿って配列された各ワイヤ接続部24の上面にそれぞれ接続するボンディングワイヤ、33は半導体素子31、ボンディングワイヤ32等を保護するための封止樹脂を示す。また、各ワイヤ接続部24にそれぞれ接続リード部26を介して一体的に連結された各外部端子部25の下面は、各ワイヤ接続部24の下面と共に、封止樹脂33の表面に露出している。なお、図示のように半導体素子31が搭載されている領域の外側に外部端子部25が配置されている形態のパッケージ(QFN)は、「ファン・アウト・タイプ」と呼ばれている。

【0051】

次に、この半導体装置30を製造する方法について、その製造工程を示す図8を参照しながら説明する。

【0052】

まず最初の工程では(図8(a)参照)、リードフレーム20の接着テープ28が貼り付けられている側の面を下にして保持用の治具(図示せず)で保持し、リードフレーム20の各ダイパッド部23にそれぞれ半導体素子(チップ)31を搭載する。具体的には、ダイパッド部23にエポキシ系樹脂等の接着剤を塗布し、半導体素子31の裏面(電極端子が形成されている側と反対側の面)を下にして、接着剤によりダイパッド部23に半導体素子31を接着(搭載)する。図示の例では簡単化のため、1個のダイパッド部23に1個の半導体素子31が搭載された状態が示されている。

【0053】

次の工程では(図8(b)参照)、半導体素子31の各電極端子と各ワイヤ接続部24とをそれぞれボンディングワイヤ32により電氣的に接続する。

【0054】

次の工程では（図 8（c）参照）、一括モールドイング方式により、リードフレーム 20 の半導体素子 31 が搭載されている側の全面を封止樹脂 33 で封止する。これは、特に図示はしないが、モールドイング金型（1組の上型及び下型）の下型上にリードフレーム 20 を配置し、上方から上型で挟み込むようにして、封止樹脂を充填しながら加熱及び加圧処理することにより行われる。封止の手法としては、例えばトランスファモールドが用いられる。

【0055】

次の工程では（図 8（d）参照）、封止樹脂 33 で封止されたリードフレーム 20（図 8（c））をモールドイング金型から取り出し、接着テープ 28 をリードフレーム 20 から剥離して除去する。

【0056】

最後の工程では（図 8（e）参照）、ダイサー等により、破線で示すように分割線 D-D' に沿ってリードフレームをそれぞれ 1 個の半導体素子 31 が含まれるように各パッケージ単位に分割し、半導体装置 30（図 7）を得る。なお、ここに示す分割線 D-D' は、図 3（a）において破線で示される分割線 CL に対応するものである。

【0057】

以上説明したように、本発明の第 1 の実施形態（リードフレーム 20 及びその製造方法、リードフレーム 20 を用いて作製された半導体装置 30）によれば、搭載する各半導体素子 31 に対応してそれぞれ画定されたダイパッド部 23 の周囲に沿って配列された各ワイヤ接続部 24 の外側の領域に、外部接続端子として用いる複数のランド状の外部端子部 25 が配置されているので、図 1 の従来例に見られたようにパッケージの周辺部に沿ってリード部 2（外部接続端子）が一行に配置されている形態のものと比べて、端子数を増やすことができる。

【0058】

また、ボンディングワイヤを接続する部分（ワイヤ接続部 24）と外部接続端子として用いる部分（外部端子部 25）を分離して配置し、両者間を線状の接続リード部 26 により一体的に連結するようにしており、この場合、ワイヤ接続部 24 は、ダイパッド部 23 の周囲に沿って（すなわち、搭載する半導体素子 31

の電極端子から近い位置に) 配列されているので、半導体素子 31 とワイヤ接続部 24 (つまり外部端子部 25) を接続するワイヤ 32 の長さを最小限にすることができる。これによって、従来技術に見られたようなワイヤ間の短絡、信頼性の低下といった不都合を解消することができ、その結果、歩留りの向上及びコストの低減化を図ることが可能となる。

【0059】

図 9 は本発明の第 2 の実施形態に係るリードフレームの構成を模式的に示したもので、(a) はリードフレームの一部分を平面的に見た構成、(b) は (a) の A-A' 線に沿って見たリードフレームの断面構造を示している。

【0060】

図 9 において、40 はリードフレーム (一部分)、41 は基板フレーム、42 はフレーム部、44 はワイヤ接続部、45 は外部端子部、46 は接続リード部、47 は金属膜、48 は接着テープ、49 は凹部を示し、それぞれ図 3 におけるリードフレーム 20、基板フレーム 21、フレーム部 22、ワイヤ接続部 24、外部端子部 25、接続リード部 26、金属膜 27、接着テープ 28、凹部 29 に対応している。

【0061】

本実施形態に係るリードフレーム 40 は、図 3 の実施形態に係るリードフレーム 20 と比べて、ダイパッド部 23 が設けられていない点、サポートバー SB が設けられていない点、複数のワイヤ接続部 44 が、搭載する半導体素子に対応して最終的に半導体装置として分割される領域 (図中、破線で示す分割線 CL によって規定される領域) 内で当該領域の外周に沿って配列されている点、複数のランド状の外部端子部 45 が、各ワイヤ接続部 44 の内側の領域に配置されている点で相違する。他の構成については、図 3 の実施形態の場合と基本的に同じであるので、その説明は省略する。

【0062】

次に、本実施形態に係るリードフレーム 40 を製造する方法について、その製造工程の一例を順に示す図 10 及び図 11 を参照しながら説明する。図 11 において (a) ~ (d) は、図 10 における A-A' 線に沿って見たときの断面構造

を示している。

【0063】

先ず最初の工程では（図10参照）、金属板をエッチング加工して基板フレーム41を形成する。

【0064】

形成されるべき基板フレーム41は、図10に概略的に示すように、搭載する半導体素子に対応してフレーム部42によって囲まれる領域において、当該領域の外周に沿って位置し、かつ当該フレーム部42に連結される複数のワイヤ接続部44と、各ワイヤ接続部44の内側に位置し、かつ相互に連結される複数のランド状の外部端子部45と、各ワイヤ接続部44をそれぞれ対応する外部端子部45に一体的に連結する線状の接続リード部46とがそれぞれ配列された構造を有している。金属板の材料としては、第1の実施形態の場合と同様に、Cu又はCuをベースにした合金、Fe-Ni又はFe-Niをベースにした合金等が用いられ、その厚さとしては、200 μ m程度のものが選定される。

【0065】

次の工程では（図11（a）参照）、基板フレーム41の一方の面（図示の例では下側の面）の所定部分に、ハーフエッチングにより凹部49を形成する。

【0066】

この所定部分（凹部49を形成する部分）は、ワイヤ接続部44と外部端子部45とフレーム部42とを除いた部分、すなわち、フレーム部42とワイヤ接続部44を連結している部分、各外部端子部45を相互に連結している部分、及び接続リード部46の部分に選定される。ハーフエッチングは、第1の実施形態の場合と同様にして、基板フレーム41のその所定部分の領域を除いた部分をマスク（図示せず）で覆った後、ウェットエッチング等により行うことができる。

【0067】

次の工程では（図11（b）参照）、凹部49が形成された基板フレーム41の全面に金属膜47を形成する。この金属膜47の形成方法については、第1の実施形態の場合（図5（b）の工程）と同様にして行う。

【0068】

次の工程では（図 11（c）参照）、基板フレーム 41 の凹部 49 が形成されている側の面（図示の例では下側の面）に、エポキシ樹脂やポリイミド樹脂等からなる接着テープ 48 を貼り付ける（テーピング）。

【0069】

最後の工程では（図 11（d）参照）、基板フレーム 41 の凹部 49 が形成されている部分のうち、各外部端子部 45 を相互に連結している部分を、金型（ポンチ）等を用いて押し抜くようにして、切断する。これによって、本実施形態に係るリードフレーム 40（図 9）が作製されたことになる。

【0070】

この第 2 の実施形態に係るリードフレーム 40 の製造方法（図 10、図 11）についても、特に図示はしないが、図 6 に例示した製造工程と同様にして、基板フレーム 41 の形成と凹部 49 の形成を 1 つの工程で行うことが可能である。

【0071】

図 12 は第 2 の実施形態に係るリードフレーム 40 を用いて作製された QFN のパッケージ構造を有する半導体装置の構成を模式的に示したもので、（a）は半導体装置 50 を断面的に見た構成、（b）は半導体装置 50 を裏面（実装面）側から見た構成を示している。

【0072】

図示の半導体装置 50 において、51 は複数の外部端子部 45 のうち所要の数の外部端子部 45 上に当該外部端子部との間に絶縁性を保って搭載された半導体素子（チップ）、52 は半導体素子 51 の各電極端子を周辺部に沿って配列された各ワイヤ接続部 44 の上面にそれぞれ接続するボンディングワイヤ、53 は半導体素子 51、ボンディングワイヤ 52 等を保護するための封止樹脂を示す。また、各ワイヤ接続部 44 にそれぞれ接続リード部 46 を介して一体的に連結された各外部端子部 45 の下面は、各ワイヤ接続部 44 の下面と共に、封止樹脂 53 の表面に露出している。図示のように半導体素子 51 が搭載されている領域の内側に外部端子部 45 が配置されている形態のパッケージ（QFN）は、「ファン・イン・タイプ」と呼ばれている。

【0073】

次に、この半導体装置 50 (QFN) を製造する方法について、その製造工程を示す図 13 を参照しながら説明する。

【0074】

先ず最初の工程では (図 13 (a) 参照)、リードフレーム 40 の接着テープ 48 が貼り付けられている側の面を下にして保持用治具 (図示せず) で保持し、リードフレーム 40 の所要数の外部端子部 45 上に半導体素子 51 を搭載する。この搭載方法については、第 1 の実施形態の場合 (図 8 (a) の工程) と同様に行う。

【0075】

次の工程では (図 13 (b) 参照)、半導体素子 51 の各電極端子と各ワイヤ接続部 44 とをそれぞれボンディングワイヤ 52 により電氣的に接続する。

【0076】

次の工程では (図 13 (c) 参照)、一括モルディング方式により、リードフレーム 40 の半導体素子 51 が搭載されている側の全面を封止樹脂 53 で封止する。この封止方法についても、第 1 の実施形態の場合 (図 8 (c) の工程) と同様に行う。

【0077】

次の工程では (図 13 (d) 参照)、封止樹脂 53 で封止されたリードフレーム 40 (図 13 (c)) をモルディング金型から取り出し、接着テープ 48 をリードフレーム 40 から剥離して除去する。

【0078】

最後の工程では (図 13 (e) 参照)、ダイサー等により、破線で示すように分割線 D-D' に沿ってリードフレームをそれぞれ 1 個の半導体素子 51 が含まれるように各パッケージ単位に分割し、半導体装置 50 (図 12) を得る。ここに示す分割線 D-D' は、図 9 (a) において破線で示される分割線 CL に対応するものである。

【0079】

以上説明したように、本発明の第 2 の実施形態 (リードフレーム 40 及びその製造方法、リードフレーム 40 を用いて作製された半導体装置 50) によれば、

搭載する各半導体素子 51 に対応してそれぞれ最終的に半導体装置として分割される領域の外周に沿って配列された各ワイヤ接続部 44 の内側の領域に、外部接続端子として用いる複数のランド状の外部端子部 45 が配置されているので、図 1、図 2 の従来例に見られたように外部接続端子（リード部）を半導体素子の搭載面の下方に配置することができない形態のものと比べて、端子数を増やすことができる。

【0080】

また、第 1 の実施形態の場合と同様に、ワイヤ接続部 44 と外部端子部 45 を分離して配置し、両者間を線状の接続リード部 46 により一体的に連結するようにしており、この場合、ワイヤ接続部 44 は、搭載する半導体素子 51 に対応して最終的に半導体装置として分割される領域の外周に沿って（すなわち、搭載する半導体素子 51 の電極端子から近い位置に）配列されているので、半導体素子 51 とワイヤ接続部 44 （つまり外部端子部 45）を接続するワイヤ 52 の長さを最小限にすることができる。これによって、歩留りの向上及びコストの低減化を図ることが可能となる。

【0081】

さらに、この第 2 の実施形態に係る「ファン・イン・タイプ」の QFN は、第 1 の実施形態に係る「ファン・アウト・タイプ」の QFN と比べて、外部端子部の個数が同じであればパッケージのサイズを小さくすることができるという利点がある。

【0082】

【発明の効果】

以上説明したように本発明によれば、リードフレームにおいて、ボンディングワイヤを接続する部分（ワイヤ接続部）と外部接続端子として用いる部分（外部端子部）を分離して配置し、両者間を線状の接続リード部を介して一体的に連結することにより、多端子化を図ることができると共に、搭載する半導体素子と外部端子を接続するワイヤの長さを最小限にすることができ、ひいては歩留りの向上とコストの低減化に寄与することができる。

【図面の簡単な説明】

【図 1】

従来の一形態に係る QFN のパッケージ構造を有する半導体装置の構成を示す図である。

【図 2】

従来他の形態に係る QFN のパッケージ構造を有する半導体装置の構成を示す図である。

【図 3】

本発明の第 1 の実施形態に係るリードフレームの構成を示す図である。

【図 4】

図 3 のリードフレームの製造工程の一例を示す平面図である。

【図 5】

図 4 の製造工程に続く製造工程を示す断面図である。

【図 6】

図 3 のリードフレームの製造工程の他の例（一部）を示す断面図である。

【図 7】

図 3 のリードフレームを用いて作製された QFN のパッケージ構造を有する半導体装置の構成を示す図である。

【図 8】

図 7 の半導体装置の製造工程を示す断面図である。

【図 9】

本発明の第 2 の実施形態に係るリードフレームの構成を示す図である。

【図 10】

図 9 のリードフレームの製造工程の一例を示す平面図である。

【図 11】

図 10 の製造工程に続く製造工程を示す断面図である。

【図 12】

図 9 のリードフレームを用いて作製された QFN のパッケージ構造を有する半導体装置の構成を示す図である。

【図 13】

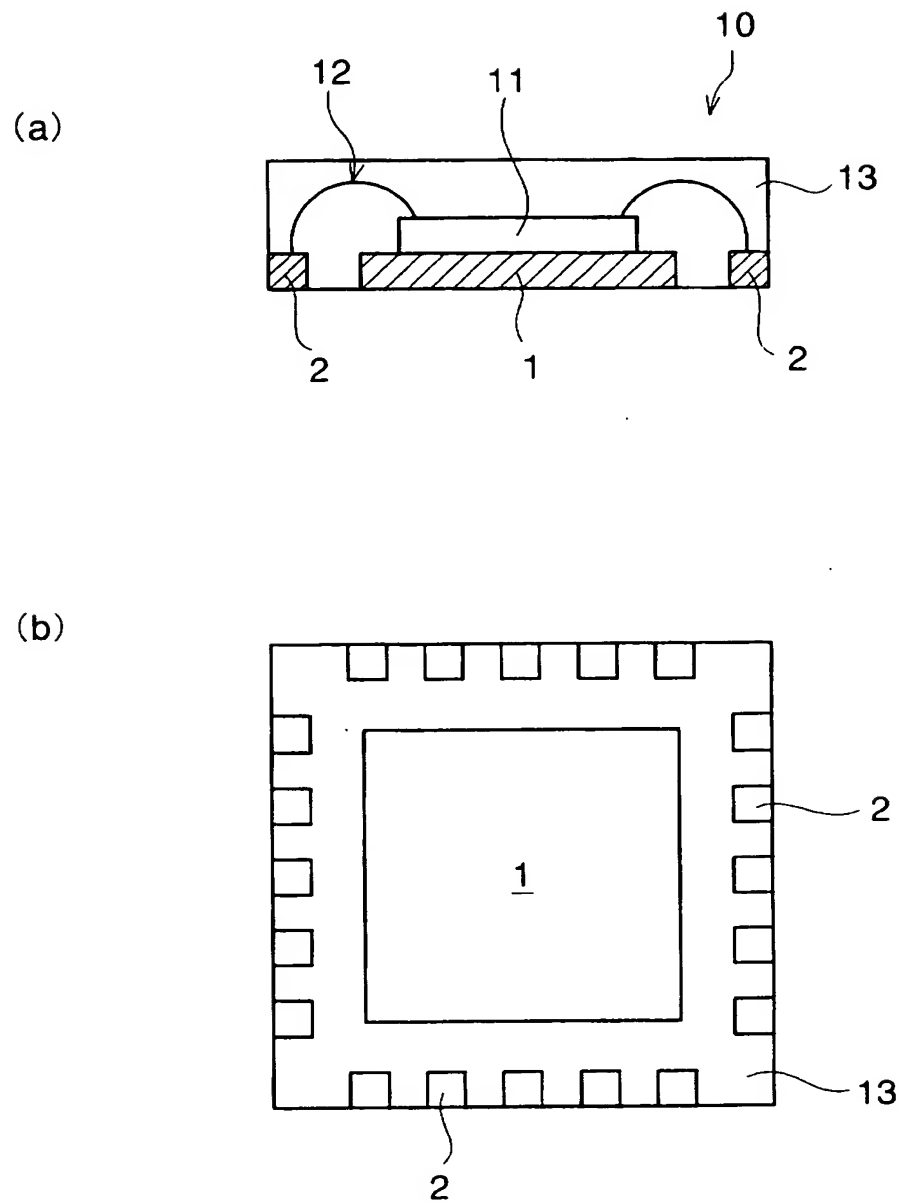
図 1 2 の半導体装置の製造工程を示す断面図である。

【符号の説明】

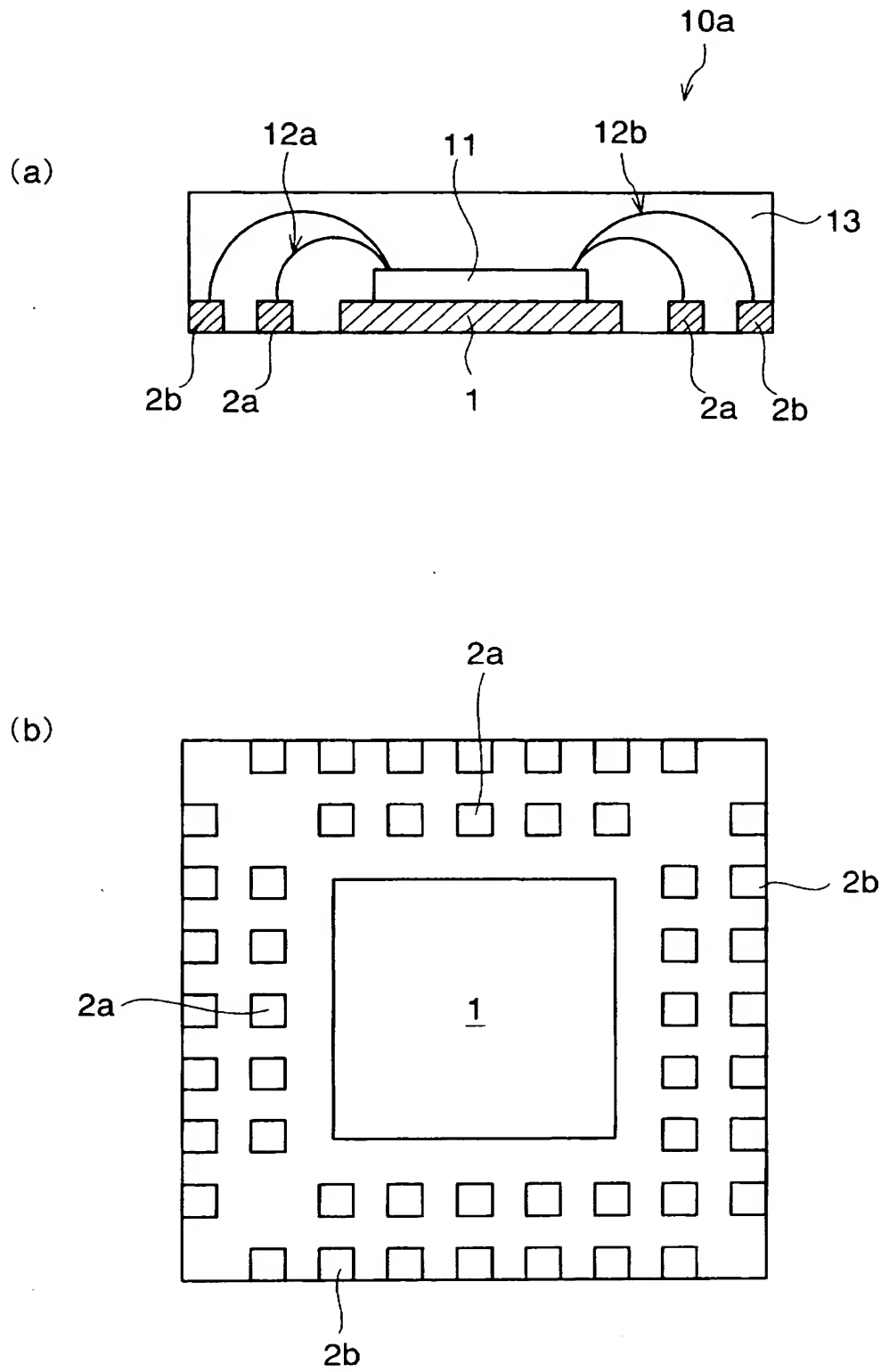
2 0, 4 0…リードフレーム、
2 1, 4 1…基板フレーム、
2 2, 4 2…フレーム部、
2 3…ダイパッド部、
2 4, 4 4…ワイヤ接続部、
2 5, 4 5…外部端子部、
2 6, 4 6…接続リード部、
2 7, 4 7…金属膜、
2 8, 4 8…接着テープ、
2 9, 4 9…凹部、
3 0, 5 0…半導体装置、
3 1, 5 1…半導体素子（チップ）、
3 2, 5 2…ボンディングワイヤ、
3 3, 5 3…封止樹脂、
MP…金属板、
R P 1, R P 2…レジストパターン。

【書類名】 図面

【図 1】

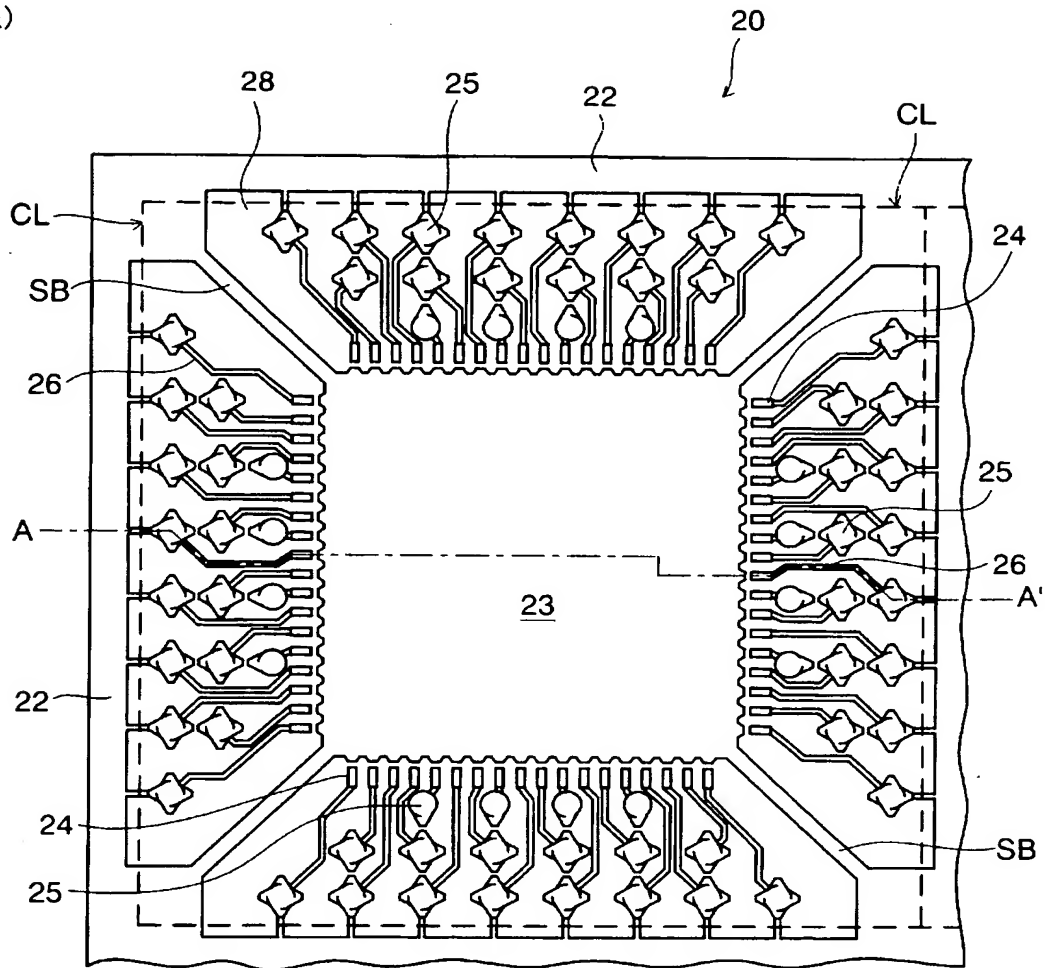


【図 2】

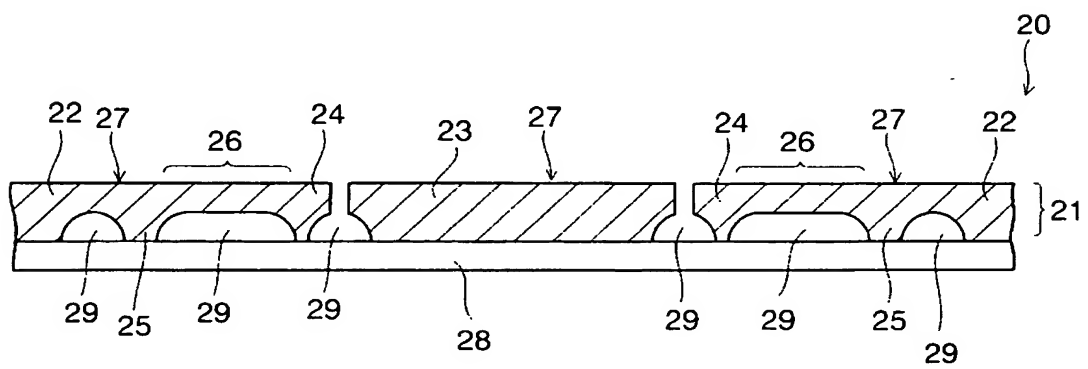


【図 3】

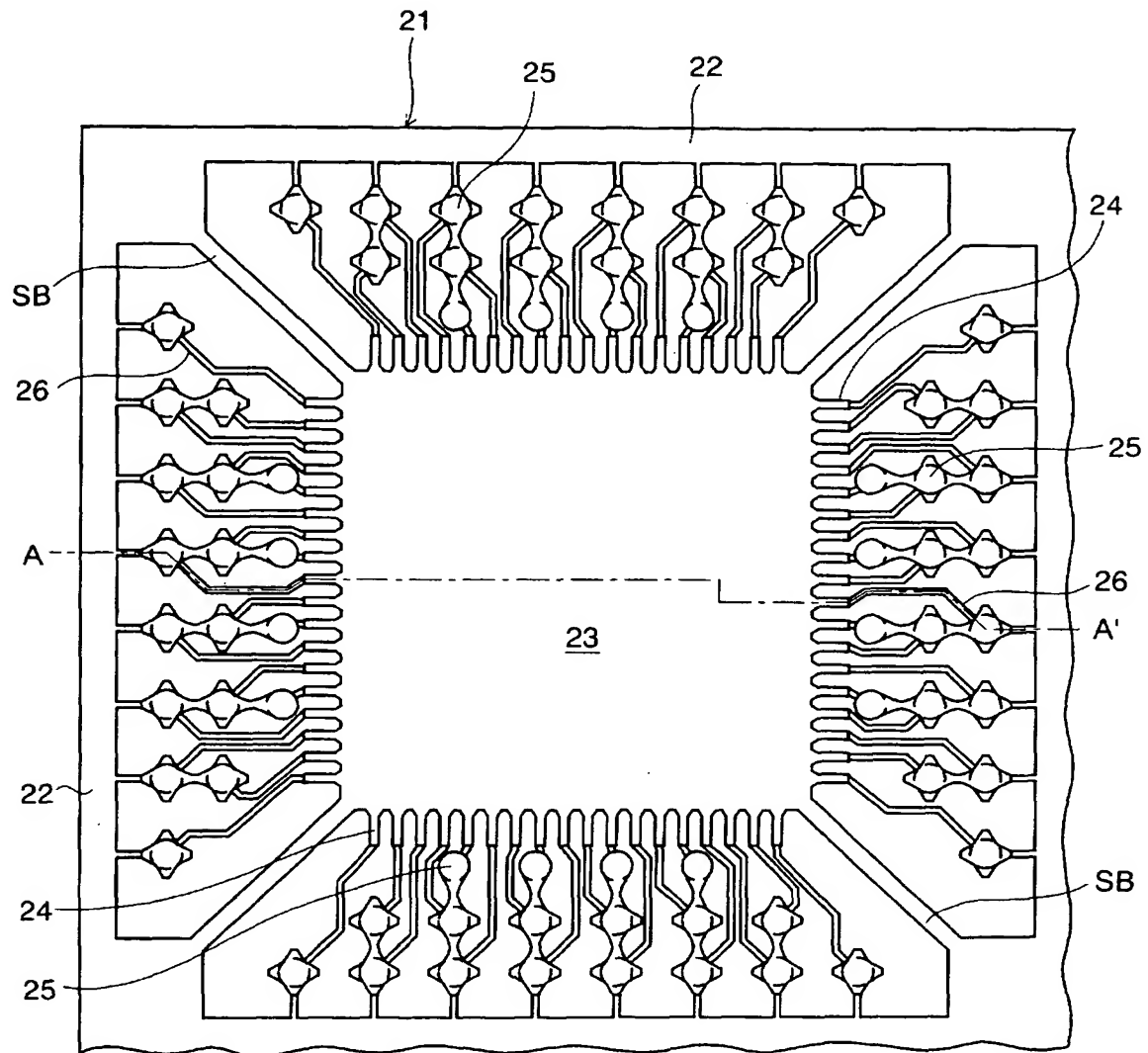
(a)



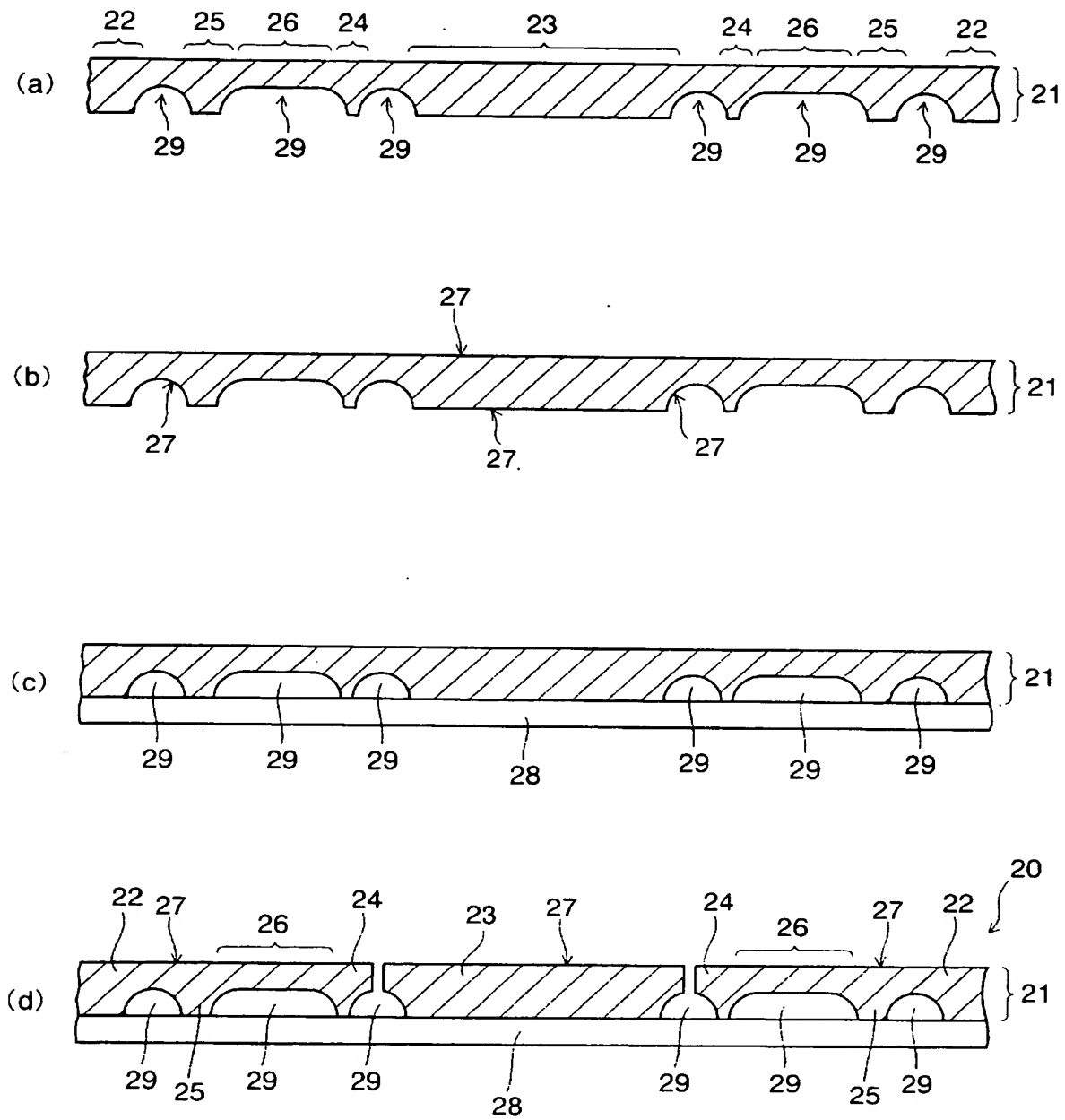
(b)



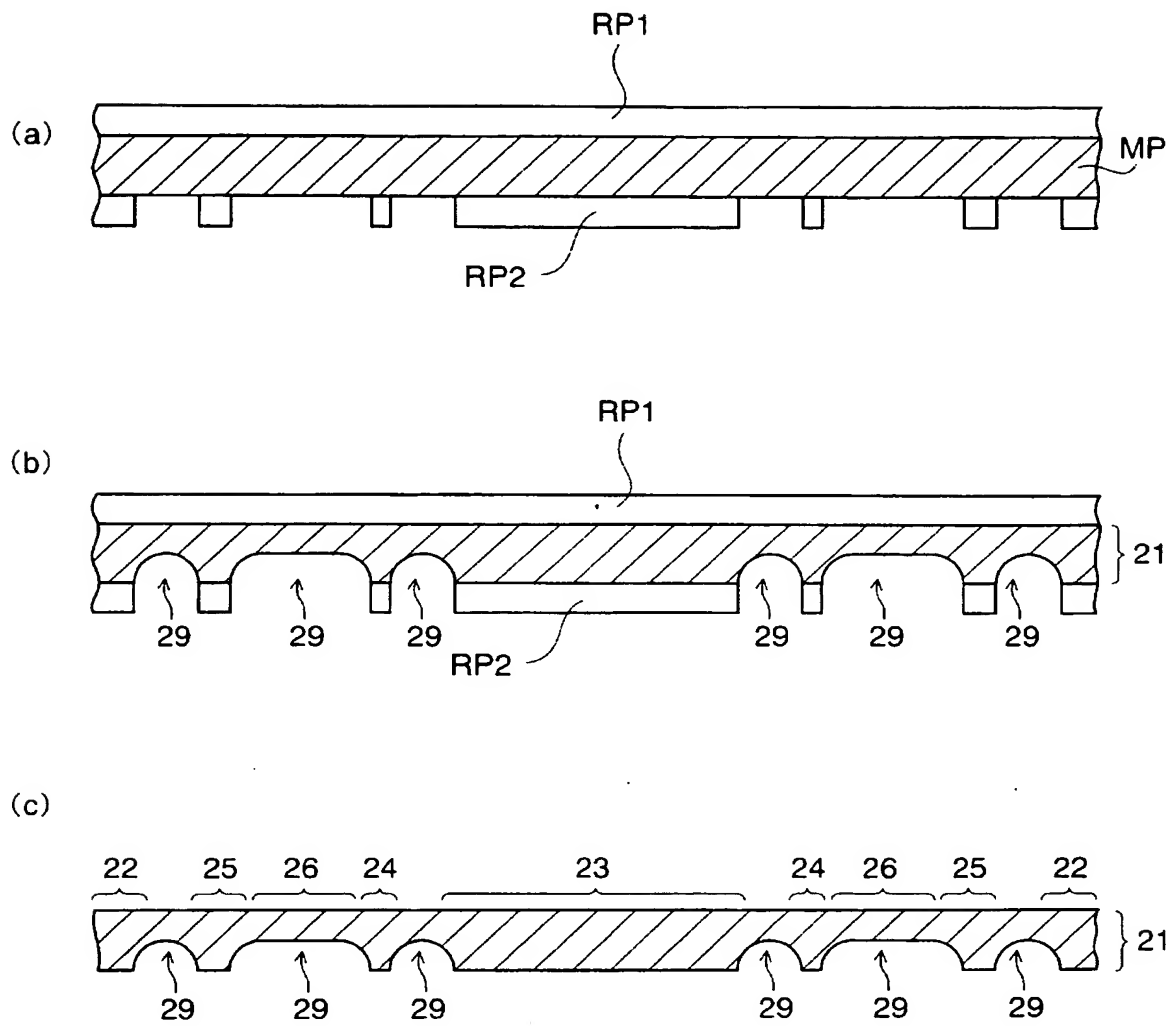
【図 4】



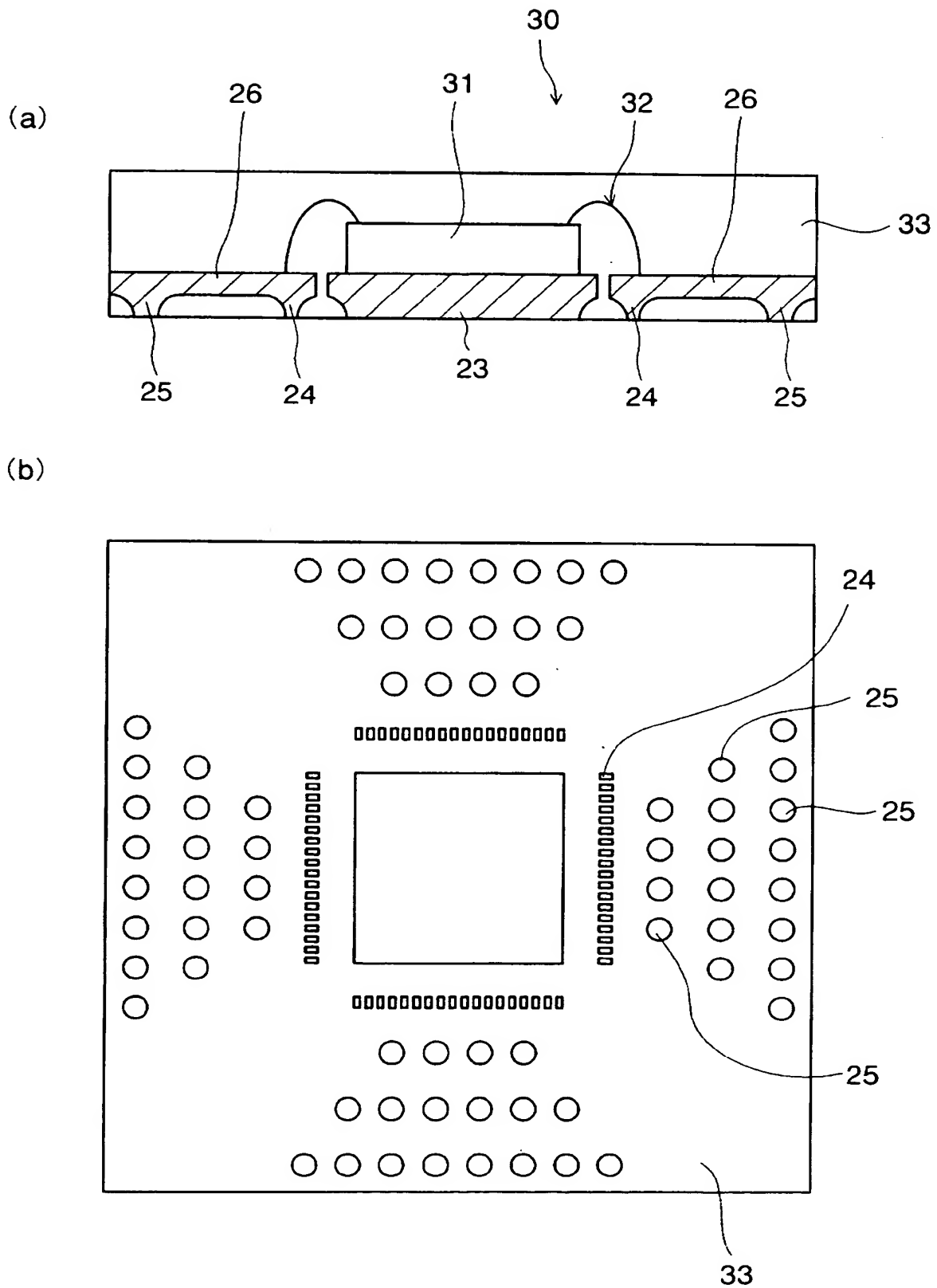
【図 5】



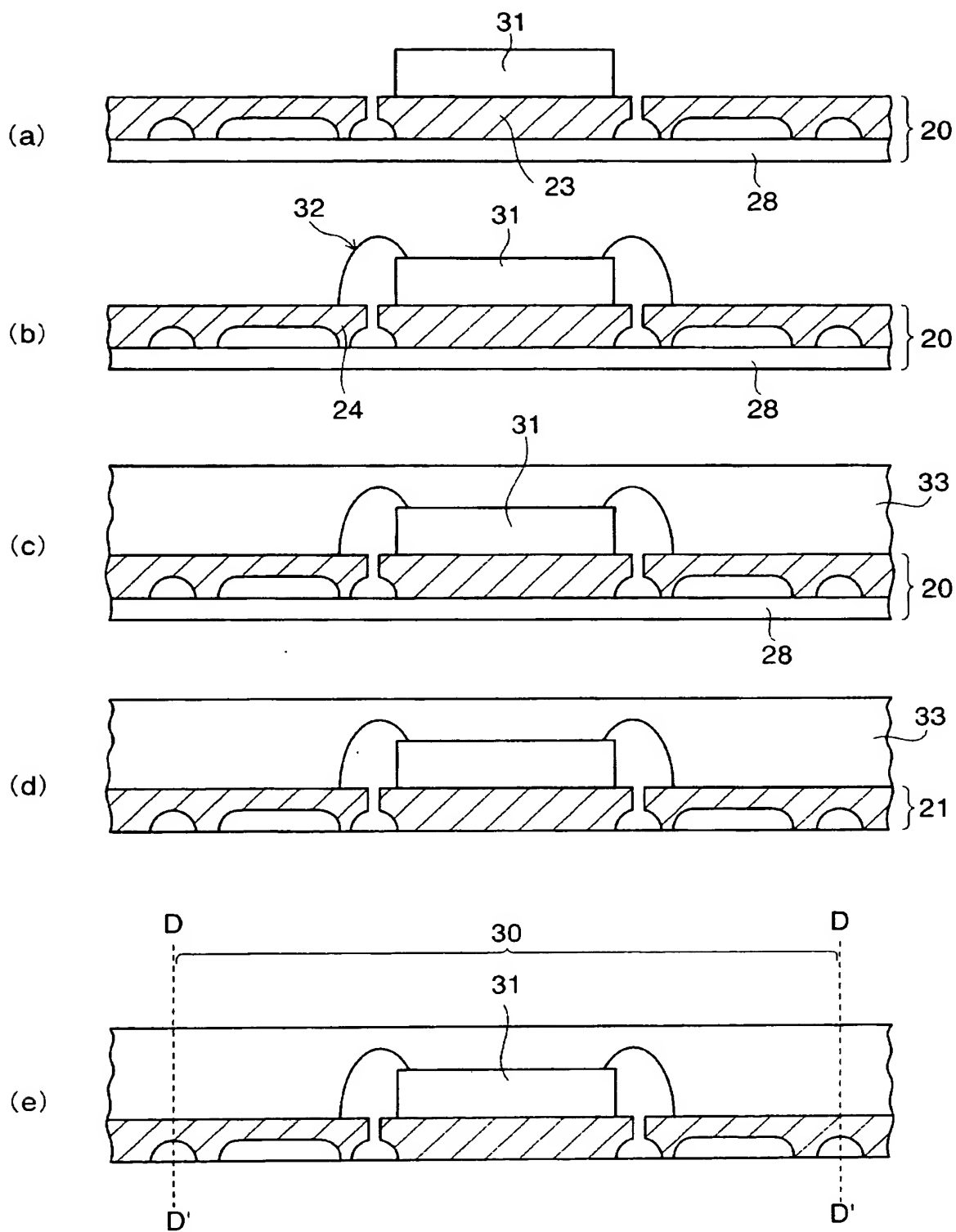
【図 6】



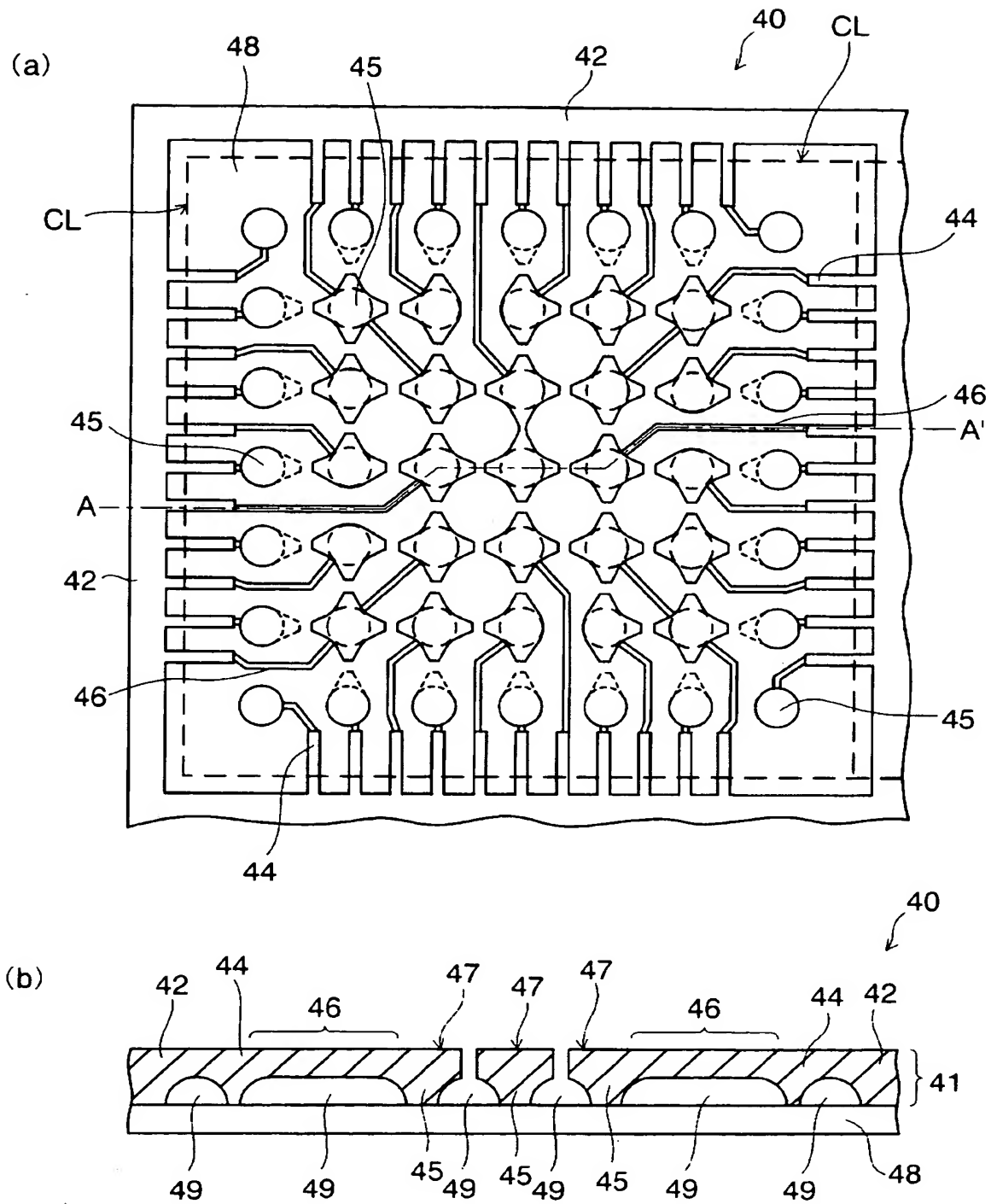
【図 7】



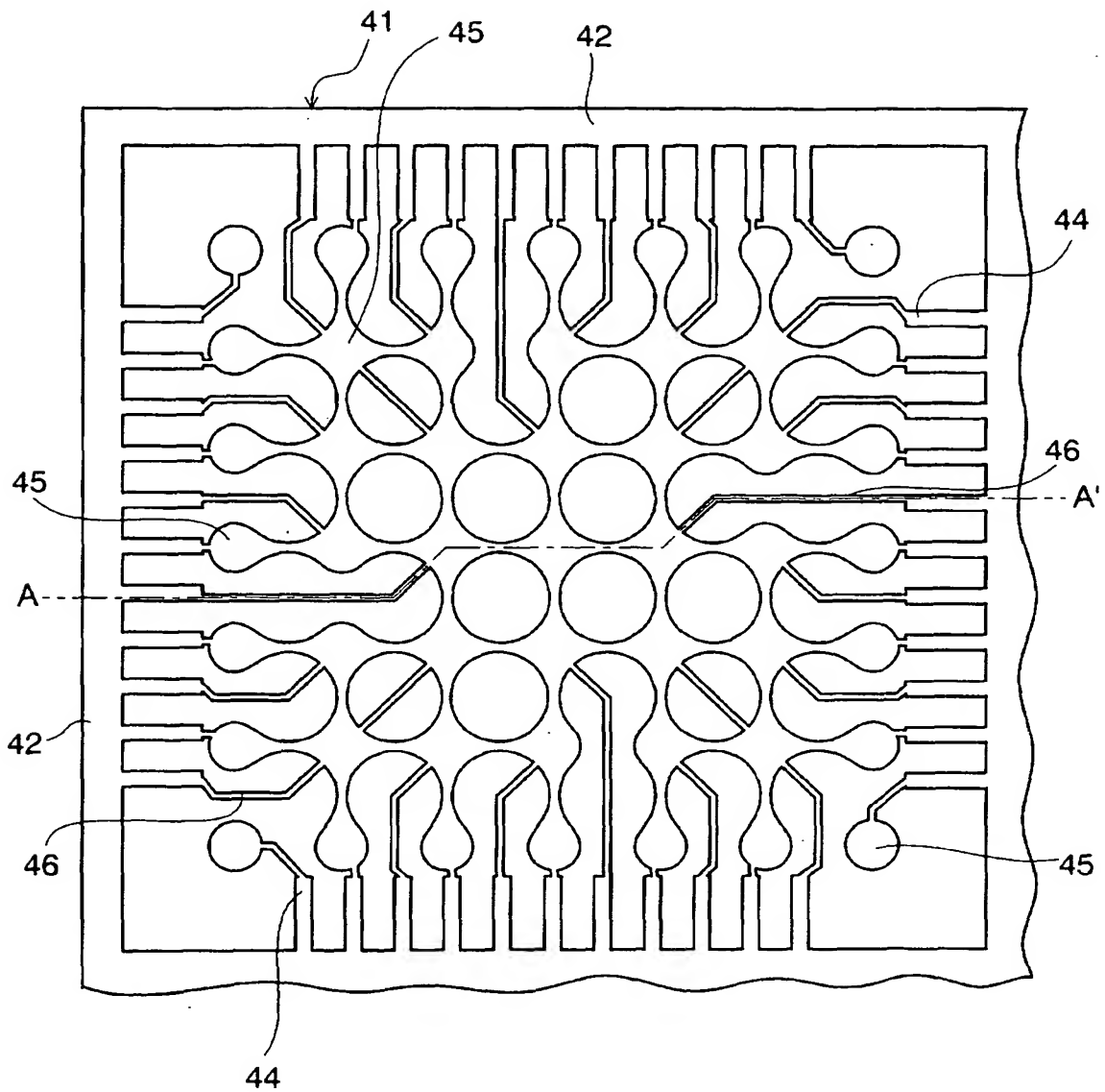
【図 8】



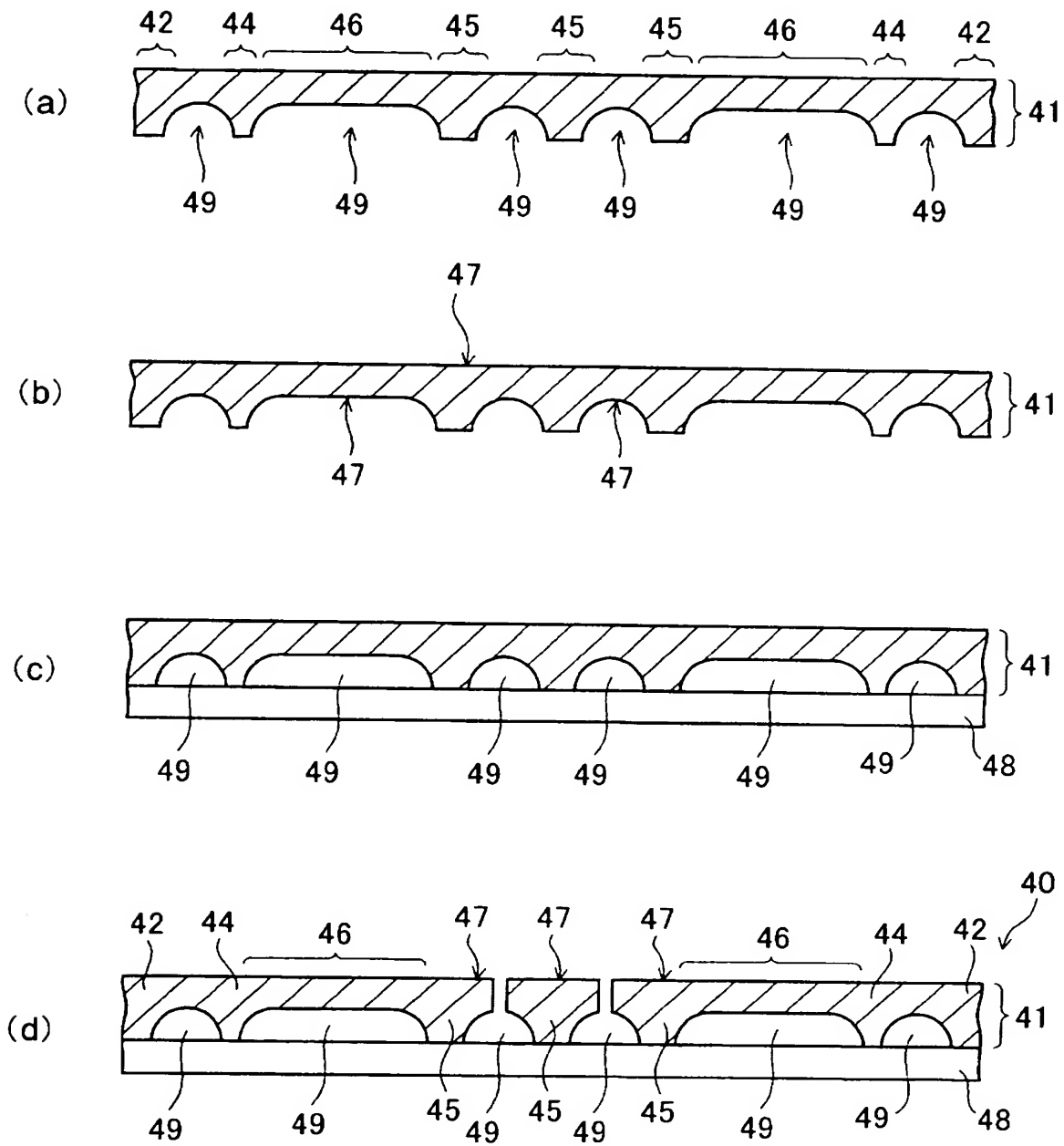
【図 9】



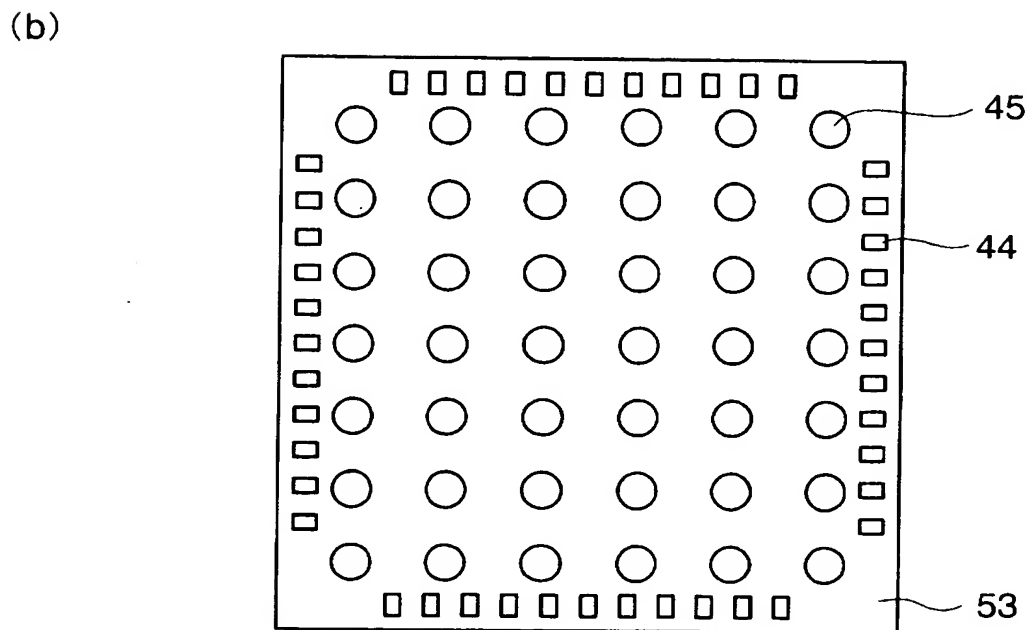
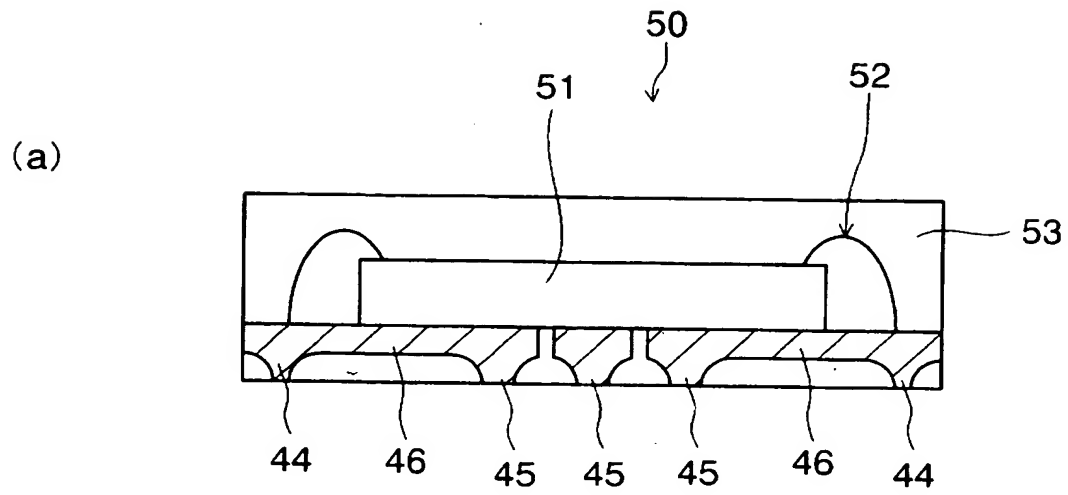
【図 10】



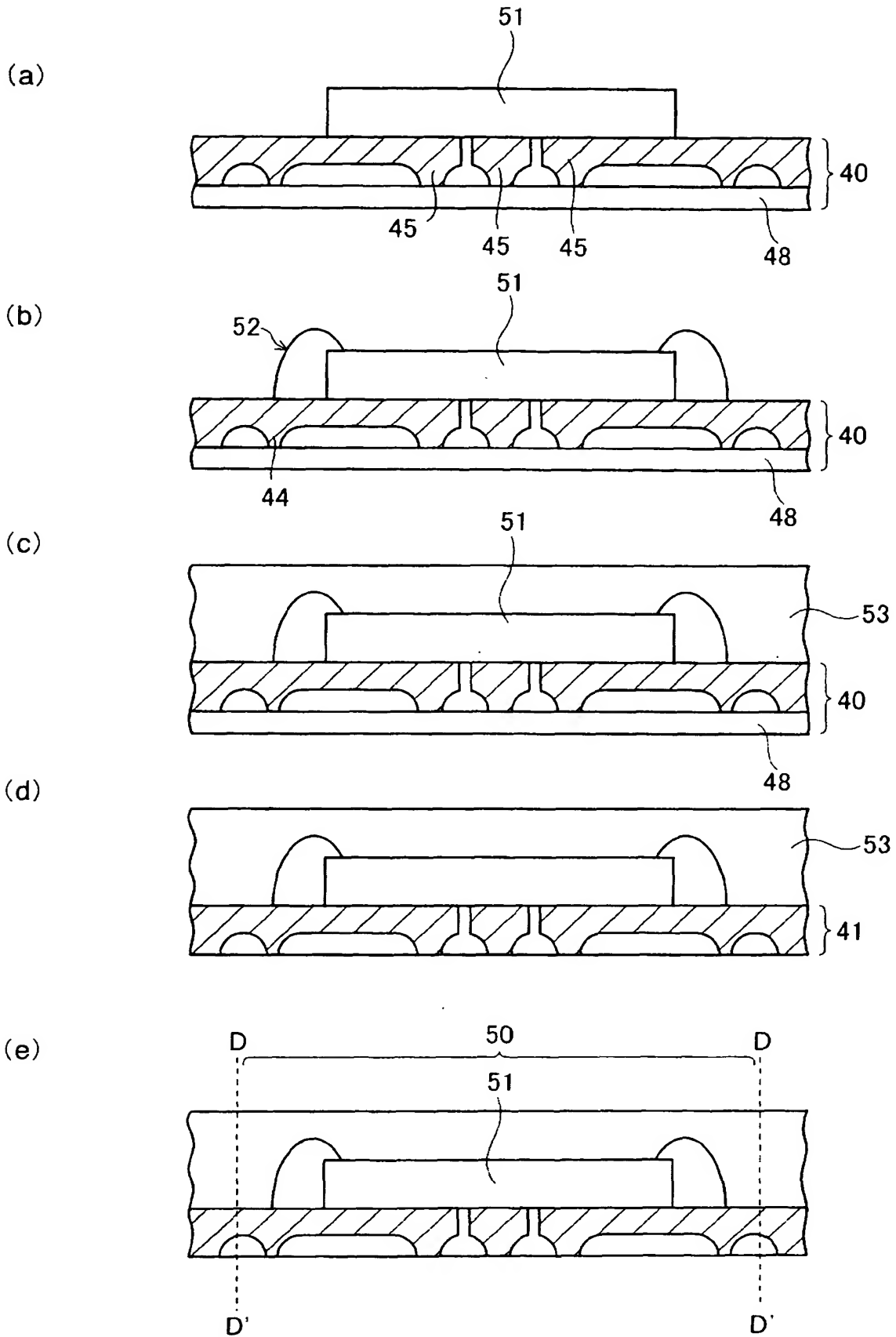
【図 11】



【図 12】



【図 13】



【書類名】 要約書

【要約】

【課題】 多端子化を図ると共に、搭載する半導体素子と外部端子を接続するワイヤの長さを最小限にし、歩留りの向上及びコストの低減化に寄与することを目的とする。

【解決手段】 リードフレーム 20 において、搭載する半導体素子に対応してダイパッド部 23 が画定され、当該ダイパッド部 23 に対応して最終的に半導体装置として分割される領域内で当該ダイパッド部 23 の周囲に沿って複数のワイヤ接続部 24 が配列され、各ワイヤ接続部 24 の外側の領域に複数のランド状の外部端子部 25 が配置されている。さらに、各ワイヤ接続部 24 をそれぞれ対応する外部端子部 25 に一体的に連結するように線状の接続リード部 26 が形成されており、ダイパッド部 23、各ワイヤ接続部 24、各外部端子部 25 及び各接続リード部 26 は、接着テープ 28 によって支持されている。

【選択図】 図 3

特願 2 0 0 2 - 2 6 9 9 0 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 9 0 6 8 8]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

長野県長野市大字栗田字舍利田 7 1 1 番地

氏 名

新光電気工業株式会社